

低環境負荷酸化物エレクトロニクスのための高誘電率超格子 バッファ層の創製

Creation of super-lattice buffer layer with high dielectrics constant for environmentally-friendly oxide electronics

代表研究者

東京工業大学総合分析支援センター助手 木口賢紀

Center for Advanced Materials Analysis, Tokyo Institute of Technology;

Research Associate, Takanori Kiguchi

現在、我々の生活のあらゆる分野にエレクトロニクスが不可欠となり、デバイスのさらなる小型化、高集積化、省エネルギー化が必須の課題となっている。これらの要求は、他方で環境負荷の削減につながるため、便利さの向上・環境改善と一石二鳥の効果をもたらす。そのために、Si デバイスに種々の酸化物を融合することによって、従来の Si デバイスではなしえない高機能性が達成されつつある。Si デバイスは、電界効果トランジスタ(FET)をベースにしており、FET に流れる電流制御のためのゲート絶縁膜/Si 積層界面が最重要部位である。デバイスの性能はこの界面の電気特性の如何にかかっている。本研究は、 ZrO_2 、 TiO_2 を原子レベルで超格子化した新しいゲート絶縁膜の創製を目指し、ゲート部への電界印加効率の大幅な向上により、省エネルギー化・環境負荷削減のための低電圧駆動型 Si デバイスの基礎として社会への貢献が期待される。

It becomes important that the down sizing of electronics devices, which requires lower operating voltage. This study aims the creation of next-generation gate dielectrics with higher dielectric constant than existing one in order to satisfy the demand. Zirconia (ZrO_2) is a promising material that has high dielectric constant (~ 25), wide energy band gap ($\sim 5.6\text{eV}$), large band offset with Si conduction band ($\sim 1.4\text{eV}$), thermal and chemical stability, and so on. Furthermore, our previous studies shows that zirconia has excellent compatibility with Si wafer; 1. Zirconia can be easily epitaxially grown on Si(001) wafer through amorphous-like Si oxide layer within 2nm. 2. Pure zirconia without any stabilizing dopant, which shows monoclinic phase in the thicker zirconia film, shows tetragonal phase in the thickness less than 3nm. Thus, zirconia is suitable for the gate dielectrics. The oxide electronics devices such as ferroelectric memory, however, will be operated at lower voltage if the gate dielectrics with higher dielectric constant above 25 is obtained. On the other hands, titania (TiO_2), has higher dielectric constant as much as 80. The leakage current of titania, however, is too high to be used as gate dielectrics because of little band offset with Si. Then, I have given grate attention to the combination of zirconia and titania in a super-lattice structure. The point of the idea is to take advantage of the high dielectric constant of titania and the high electric insulation (low leakage current) of zirconia. This study will put the oxide electronics devices with lower operative voltage into practice. Therefore, it will contribute to reduce not only the downsizing of devices, but also the effects on the environment.

1. 研究目的

酸化物エレクトロニクスにおいて、強誘電体薄膜等の電子・光学セラミック薄膜とシリコン基板との間の、電氣的・結晶学的な欠陥を可能な限り

抑制しながら両者を接合するためにバッファ層（緩衝層）と呼ばれるゲート絶縁膜が積層されている。Si (001) 基板上へのエピタキシャル成長、高い比誘電率（以下誘電率と表記）、高い絶縁性、

薄膜基板間の元素の相互拡散ブロック、熱的・化学的安定性などの観点から、申請者はエピタキシャル ZrO_2 (ジルコニア) バッファ層の有効性を見出してきた。しかし、高温成膜過程における Si 基板表面の酸化によって、1nm 程度の Si 酸化膜の再成長が避けられない。これは、 ZrO_2 のもつ高誘電率(〜25)を見かけ上 Si 酸化膜(〜3.8)が相殺してしまい、 ZrO_2 の特徴を生かせなくなっている。よって、 ZrO_2 の誘電率を何らかの方法で向上させることで、Si 酸化膜による見かけの誘電率低下を補償することが必要である。この問題は、これからの Si あらゆるデバイスの高集積化、省エネルギー化にとって解決が急務である。そこで、本研究ではリーク電流が高く単独では使用できないが非常に高い誘電率(〜80)を持っている TiO_2 (チタニア) に着目し、高い誘電率と共に高い絶縁性を持つ ZrO_2 とエピタキシャル人工超格子を形成することによって、 ZrO_2 単層ではなしえない高誘電率を発現させ、かつ ZrO_2 の高い絶縁性によって TiO_2 の低リーク特性をカバーすることが可能となる。また、 ZrO_2 と TiO_2 を単に積層するのではなく、単位格子あるいは原子層レベルで超格子化することによって、2つの材料相互の欠点を補い、互いの長所を引き出すこと、さらに超格子化によって初めて発現する歪み超格子効果の相乗効果をねらったものである。本研究の様にバッファ層、ゲート絶縁膜の分野へのエピタキシャル超格子構造の応用、並びに ZrO_2 と TiO_2 との組み合わせは世界的に見ても行われておらず、本研究には独創的な成果が期待される。そして、高誘電率エピタキシャル超格子バッファ層の創製によって、Si デバイスの低電圧駆動、高集積化による省エネルギー酸化物の創製、そして低環境負荷 Si デバイス創製への突破口を拓くことを目指す。

2. 研究経過

2. 1 人工超格子の合成

本研究では、1. Si ウエハー上への CeO_2 /YSZ 人工格子の作製、及び 2. Si ウエハー上への TiO_2 / CeO_2 /YSZ 人工格子の作製、3. YSZ/Si 及び CeO_2 /Si ヘテロ

界面構造制御と Si 酸化膜の影響、4. 界面電気特性評価に関して調べた。初めに CeO_2 と YSZ からなる二重人工超格子の作製を行った。成膜には PLD (Pulsed Laser Deposition) 法を使用し、基板温度 800°C 、酸素分圧 $5.5 \times 10^{-4} \text{ Torr}$ の条件下で一定時間ごとに CeO_2 、8mol% Y_2O_3 安定化 ZrO_2 (YSZ) セラミックターゲットを交互に切り替えて各 2nm の CeO_2 、YSZ からなる 5 周期のエピタキシャル人工超格子の堆積を行った。基板は p 型 (001) Si ウエハーを使用した。ただし、HF 洗浄は行っていない。これは申請者が見出したことであるが、自然酸化膜の存在が YSZ 薄膜のエピタキシャル成長を促進するためである。一方、 TiO_2 / CeO_2 /YSZ 人工格子構造についても同様に各層 5 周期のエピタキシャル人工格子構造の作製を試みた。合成した人工超格子は、X 線広域逆格子空間マッピング法、高分解能電子顕微鏡 (HRTEM) 法によりマクロナノスケールの構造評価を行い、容量-電圧 (C-V) 及び電流密度-電圧 (J-V) 測定により界面電気特性の評価を行った。

2. 2 XRD 法によるマクロ構造評価

図 1 に CeO_2 /YSZ 人工格子の X 線広域逆格子空間マップを示す。(b), (c) は全体像 (a) のうち CeO_2 /YSZ002、及び 200 ピーク近傍を拡大したマップである。(a) から Si ウエハーに対して YSZ, CeO_2 いずれも層も 001 配向のエピタキシャル成長していることが分かる。(b) (c) より歪み膜厚方向、面内方向いずれもバルクの CeO_2 、YSZ のピーク位置が大きく変位しほぼ完全に重なって 1 本のピークに見える。すなわちエピタキシャル成長した CeO_2 、YSZ 各層が相互の格子ミスマッチ 5% を緩和することなく単位格子が大きく変化して両層が人工超格子を形成していることを示唆している。なお、僅かではあるが 111 配向のピークも現れている。

一方、図 2 (a) から Si ウエハーに対して YSZ, CeO_2 いずれも層も 001 配向のエピタキシャル成長しているが、 TiO_2 のピークは一切観察されなかった。よって、 TiO_2 層は非晶質あるいは多結晶であると推定される。 TiO_2 / CeO_2 /YSZ 人工格子は、(b) 膜厚方向では CeO_2 と YSZ のピークが分離しておりほぼバルクのピ

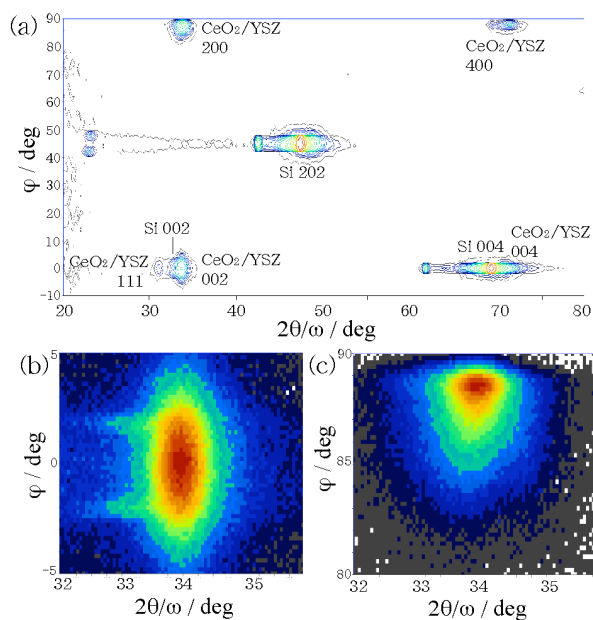


図 1

ーク位置に近い。つまり膜厚方向の歪みはほぼ緩和されていることを示している。一方、(c)面内方向においても完全ではないがピークが高角側に分離しかけている。よって、面内方向には格子ミスマッチによる歪みが残留している。この歪み緩和は TiO_2 層がエピタキシャル成長していないことに起因すると考えられるが、このような TiO_2 層を介して CeO_2/YSZ 層がエピタキシャル成長を続けるのは極めて興味深い。なお、図 2 (b)の CeO_2 に重なっている赤い鋭い 2本のピークはSiの002禁制反射である。

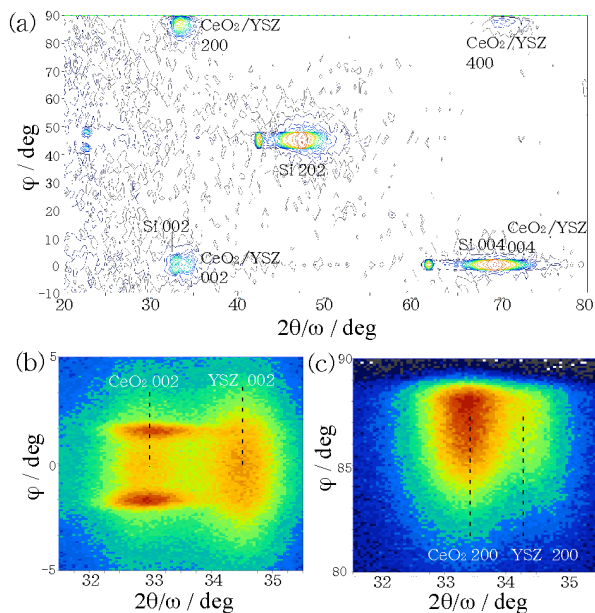


図 2

2. 3 HRTEM法によるナノ構造評価

図 3に CeO_2/YSZ 人工格子の断面TEM格子像を示す。界面に多少のラフネスは認められるが、 CeO_2/YSZ 1層あたり約3.6nmの人工超格子が形成されている。 CeO_2/YSZ 界面には格子ミスマッチから予想されるミスマッチ転位密度に比べて転位の数はいはるかに少なく（図中矢印）、格子ミスマッチが緩和されず図 1の結果とも整合する。

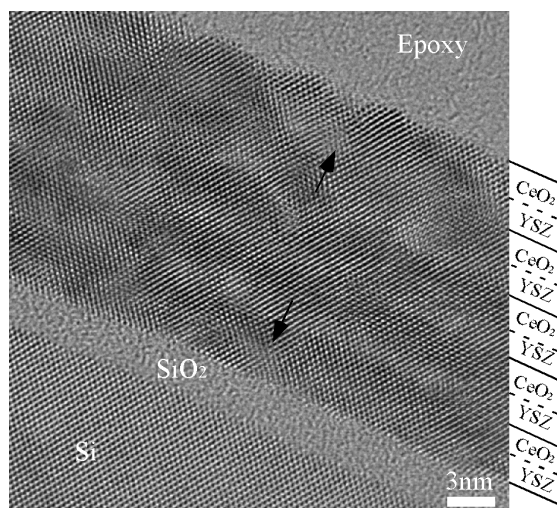


図 3

一方、図 4に示した $\text{TiO}_2/\text{CeO}_2/\text{YSZ}$ 人工格子の断面TEM格子像から $\text{TiO}_2/\text{CeO}_2/\text{YSZ}$ 1層あたり約4.5nmの人工超格子が形成されている。なお、各層の組成はTEM-EDS法により確認した。ラフネスは図 3と大

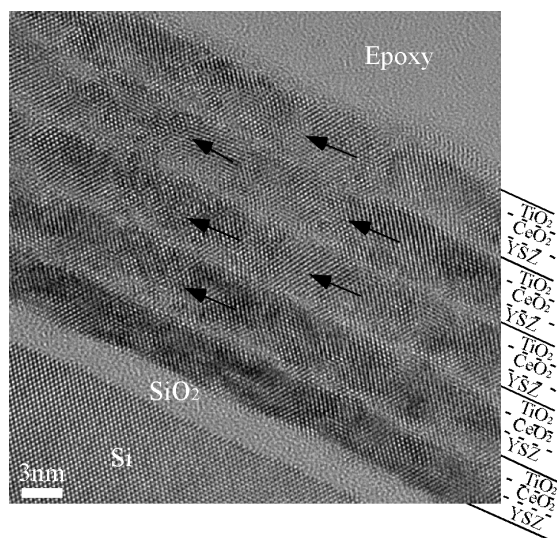


図 4

きな違いは認められないが、TiO₂層は配向が大きく乱れておりエピタキシャル成長せず多結晶薄膜となっており、XRDの結果図2でTiO₂が観察されなかったことと符合する。このために、CeO₂/TiO₂/YSZ間で格子ミスマッチが緩和されたものと考えられる。配向の乱れたTiO₂層の上にYSZ/CeO₂層が再びエピタキシャル成長している点が興味深い。YSZ, CeO₂層共に配向性は低下しモザイク性が高くなっている。

2. 4 界面電気特性

図5に(a)CeO₂/YSZ, (b)TiO₂/CeO₂/YSZのC-V特性を示す。YSZで問題となる分極型ヒステリシスがほとんどなく超格子化、あるいはYSZ層の超薄膜化の効果であると考えられる。一方、TiO₂/CeO₂/YSZではヒステリシスはほとんど現れていない。また、フラットバンドシフトはCeO₂/YSZではほとんど0であったが、TiO₂/CeO₂/YSZでは+0.5Vであることから、TiO₂層に起因した負の固定電荷の存在を示唆している。SiO₂層の影響を分離して、蓄積側の酸化膜容量から両超格子の比誘電率を計算すると、CeO₂/YSZで11.2、TiO₂/CeO₂/YSZで19.6の誘電率が得られた。所望の誘電率40は得られなかったが、YSZ, CeO₂などで報告されている値より高い値が得られた。本実験ではTiO₂の回折強度が極めて弱く相同定ができなかったが、ルチル相よりもはるかに誘電率の低いアナターゼ相が生成した可能性が考えられる。また、ルチル相の場合でもイオン結晶の誘電率は格子振動による格子分極の寄与が大きい。ため、ルチルの高誘電率のa軸を膜厚方向に配向させる必要がある。

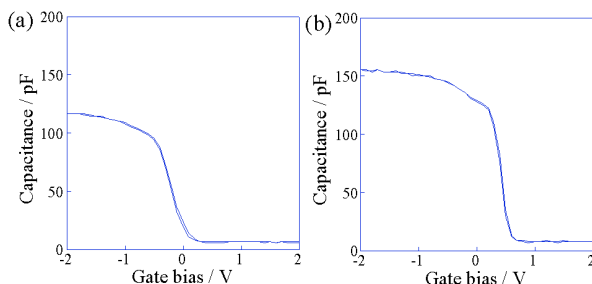


図5

図6に(a)CeO₂/YSZ, (b)TiO₂/CeO₂/YSZのJ-V特性を示す。両者ともフラットバンド電圧において5-8 x 10⁻⁹ J cm⁻²という良好なリーク特性が得られた。TiO₂

というナローバンドギャップの材料が存在しても、ワイドバンドギャップのYSZ/CeO₂層によってリーク電流をブロックできたことを示している。

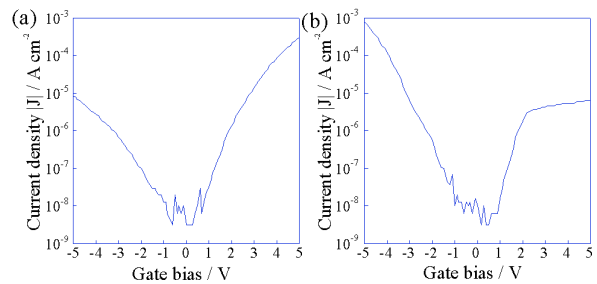


図6

3. 研究成果

本研究により、TiO₂/CeO₂/YSZ人工超格子が10⁻⁹ J cm⁻² オーダーの低リーク電流密度を維持しながら、約20の誘電率が得られた。また、TiO₂層は配向性の低い多結晶層であったが、その上にYSZ/CeO₂層が再びエピタキシャル成長することを見出した。

4. 今後の課題と発展

今後の研究課題としては、TiO₂層の結晶相制御、配向制御、超格子の結晶性向上、界面ラフネスの抑制が不可欠である。特にTiO₂層の結晶相、配向性の制御が更なる高誘電率化、すなわち低電圧駆動やモバイル化に不可欠であると言える。そのためには、人工超格子の各層の厚さの最適化、成膜速度、酸素分圧、基板温度、Si基板表面処理などの成膜プロセスの更なる最適化が必要である。誘電率に及ぼす歪み超格子の効果についても更なる検討が必要である。

5. 発表論文 リスト

CeO₂/YSZ 積層構造評価について：

木口賢紀, 脇谷尚樹, 水谷惟恭, 篠崎和夫, 高分解能分析電子顕微鏡による CeO₂/YSZ/Si ヘテロ界面構造の原子スケール構造評価, 分析化学, 55, 6, (2006)印刷中

TiO₂/CeO₂/YSZ 人工超格子のナノ構造評価, 界面電気特性については投稿準備中である。